

特開平11-74388

(43) 公開日 平成11年(1999) 3月16日

(51) IntCl. ⁹	識別記号	F I	
H 0 1 L	21/8247	H 0 1 L	29/78
	29/788		27/04
	29/792		27/10
	27/04		29/78
	21/822		
			3 7 1
			C
			4 3 4
			3 0 1 G

審査請求 未請求 請求項の数22 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平10-129838

(22) 出願日 平成10年(1998) 5月13日

(31) 優先権主張番号 特願平9-171394

(32) 優先日 平 9 (1997) 6月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 佐藤 和夫

大阪府高槻市幸町1番1号 松下電子工業株式会社内

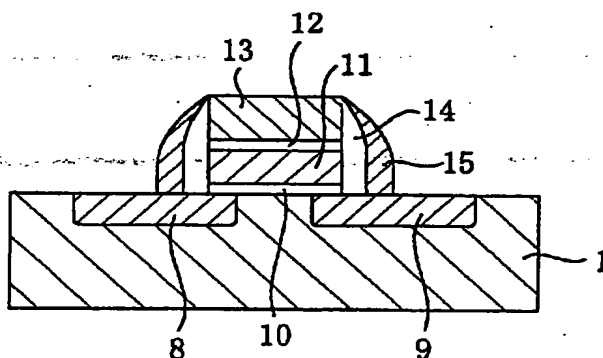
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置の第1、第2の導体膜及びこれらに挟まれる容量部における誘電体膜の両端部の厚みの増大を抑制する。

【解決手段】 P型シリコン基板1の上には、シリコン酸化膜からなるゲート絶縁膜10と、ポリシリコン膜からなるフローティングゲート電極11とが順次形成されている。フローティングゲート電極11の上には、シリコン酸化膜からなる容量絶縁膜12と、ポリシリコン膜からなるコントロールゲート電極13とが形成されている。さらに、各部材11、12、13の側面に形成されたシリコン酸化膜からなる第1スペーサ膜14と、該第1スペーサ膜14の上に形成されたシリコン窒化膜からなる第2スペーサ膜15とを備えている。高温熱処理が酸化雰囲気下で施されても、容量絶縁膜12やコントロールゲート電極13の両端部への酸素の供給が妨げられ、容量絶縁膜12の両端部の厚みの増大が抑制される。



1

【特許請求の範囲】

【請求項1】 半導体基板と、

上記半導体基板上に設けられた第1の導体膜と、
上記第1の導体膜の上に設けられ酸化性材料を含む誘電体膜と、

上記誘電体膜の上に設けられた第2の導体膜と、
上記第1の導体膜、誘電体膜及び第2の導体膜の側面を覆う酸化膜からなる第1のスペーサ膜と、
上記第1のスペーサ膜を覆い酸素の通過阻止機能を有する第2のスペーサ膜とを備えている半導体装置。

【請求項2】 請求項1記載の半導体装置において、
上記半導体装置は、半導体基板上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたフローティングゲート電極と、上記フローティングゲート電極の上に設けられた容量絶縁膜と、上記容量絶縁膜の上に設けられたコントロールゲート電極とを備えた不揮発性半導体記憶装置であり、

上記第1の導体膜は上記フローティングゲート電極であり、

上記誘電体膜は上記容量絶縁膜であり、
上記第2の導体膜は上記コントロールゲート電極であることを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、

上記第2の導体膜の上に設けられた導体部保護膜をさらに備え、
上記第1のスペーサ膜は、上記導体部保護膜の側面上まで延びていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、
上記導体部保護膜は酸化膜により構成されており、
上記第1のスペーサ膜の上端部は、上記導体部保護膜の上面の高さ位置よりも低いことを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体装置において、
上記導体部保護膜は、酸化膜からなる第1の導体部保護膜と、該第1の導体部保護膜の上に設けられ酸素の通過阻止機能を有する第2の導体部保護膜とにより構成されており、

上記第1のスペーサ膜は、上記第1の導体部保護膜及び第2の導体部保護膜の側面上まで延びていることを特徴とする半導体装置。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体装置において、

上記第2のスペーサ膜は、窒化シリコンを含む膜であることを特徴とする半導体装置。

【請求項7】 請求項1～5のうちいずれか1つに記載の半導体装置において、

上記第1、第2のスペーサ膜は、上記第1の導体膜、誘電体膜及び第2の導体膜全体の上面及び両側面を覆うように設けられていることを特徴とする半導体装置。

2

【請求項8】 請求項1～7のうちいずれか1つに記載の半導体装置において、

上記第2のスペーサ膜は、オキシナイトライドを含む膜であることを特徴とする半導体装置。

【請求項9】 半導体基板と、

上記半導体基板上に設けられたゲート絶縁膜と、
上記ゲート絶縁膜の上に設けられたフローティングゲート電極と、

上記フローティングゲート電極の上に設けられた誘電体膜からなる容量絶縁膜と、

上記容量絶縁膜の上に形成されたコントロールゲート電極と、

上記フローティングゲート電極の側面上又は側面と表面上の一部に形成されたトンネル絶縁膜と、

上記トンネル絶縁膜を挟んで上記フローティングゲート電極と対向する消去ゲート電極と、

上記コントロールゲート電極及び容量絶縁膜の側面の上に設けられ酸素通過阻止機能を有するスペーサ膜とを備えていることを特徴とする半導体装置。

20 【請求項10】 請求項9記載の半導体装置において、
上記スペーサ膜は、上記コントロールゲート電極及び容量絶縁膜の上に設けられた第1のスペーサ膜と、該第1のスペーサ膜の上に設けられた第2のスペーサ膜とからなり、

上記第1のスペーサ膜及び第2のスペーサ膜のうち少なくともいずれか一方が酸素通過阻止機能を有することを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、

30 上記第1のスペーサ膜は酸化膜であり、
上記第2のスペーサ膜は酸素通過阻止機能を有する膜であることを特徴とする半導体装置。

【請求項12】 請求項11記載の半導体装置において、

上記コントロールゲート電極の上に設けられた導体部保護膜をさらに備え、

上記第1のスペーサ膜は、上記導体部保護膜の側面上まで延びていることを特徴とする半導体装置。

【請求項13】 請求項11記載の半導体装置において、

40 上記導体部保護膜は酸化膜により構成されており、
上記第1のスペーサ膜の上端部は、上記導体部保護膜の上面の高さ位置よりも低いことを特徴とする半導体装置。

【請求項14】 請求項11記載の半導体装置において、

50 上記導体部保護膜は、酸化膜からなる第1の導体部保護膜と、該第1の導体部保護膜の上に設けられ酸素の通過阻止機能を有する第2の導体部保護膜とにより構成されており、

3

上記第1のスペーサ膜は、上記第1の導体部保護膜及び第2の導体部保護膜の側面上まで延びていることを特徴とする半導体装置。

【請求項15】 請求項10～14のうちいずれか1つに記載の半導体装置において、

上記第2のスペーサ膜は、オキシナイトライドを含む膜であることを特徴とする半導体装置。

【請求項16】 請求項9記載の半導体装置において、上記スペーサ膜は、上記コントロールゲート電極及び容量絶縁膜全体の上面及び側面を覆うように設けられていることを特徴とする半導体装置。

【請求項17】 半導体基板上に第1の導体膜を形成する第1の工程と、

上記第1の導体膜上に誘電体膜を形成する第2の工程と、

上記誘電体膜上に第2の導体膜を形成する第3の工程と、

少なくとも上記誘電体膜及び上記第2の導体膜の側面上に少なくとも窒化シリコンを含むスペーサ膜を形成する第4の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項18】 請求項17記載の半導体装置の製造方法において、

上記第1の工程の前に、半導体基板上にゲート絶縁膜を形成する工程をさらに備え、

上記第1～第3の工程では、フローティングゲート電極用導体膜、容量絶縁膜用絶縁膜及びコントロールゲート電極用導体膜を順次積層した後、上記各膜をパターニングすることにより、上記第1の導体膜としてのフローティングゲート電極と、上記誘電体膜としての容量絶縁膜と、上記第2の導体膜としてのコントロールゲート電極とを形成し、

上記第4の工程は、上記第3の工程の後で、上記コントロールゲート電極、容量絶縁膜及びフローティングゲート電極の側面上に上記スペーサ膜を形成することを特徴とする半導体装置の製造方法。

【請求項19】 請求項17記載の半導体装置の製造方法において、

上記第1の工程の前に、半導体基板上にゲート絶縁膜を形成する工程をさらに備え、

上記第1及び第2の工程では、フローティングゲート電極用導体膜、容量絶縁膜用絶縁膜及びコントロールゲート電極用導体膜を順次積層した後、上記コントロールゲート電極用導体膜及び容量絶縁膜をパターニングすることにより、上記第2の導体膜としてのコントロールゲート電極と、上記誘電体膜としての容量絶縁膜とを形成し、

上記第4の工程では、上記スペーサ膜を上記コントロールゲート電極及び容量絶縁膜の側面上に形成し、

上記第3の工程では、上記第4の工程の後に、上記コン

4

トロールゲート電極及び容量絶縁膜をマスクとして上記フローティングゲート電極用導体膜をパターニングすることにより、側面が露出した上記第1の導体膜としてのフローティングゲート電極を形成し、

上記第3の工程の後に、上記フローティングゲート電極の露出している側面を熱酸化して酸化膜からなるトンネル絶縁膜を形成する工程と、

上記トンネル絶縁膜を挟んで上記フローティングゲート電極に対向する消去ゲート電極を形成する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項20】 請求項17～19のうちいずれか1つに記載の半導体装置の製造方法において、

上記第4の工程では、シリコン窒化膜の単層膜からなるスペーサ膜を形成することを特徴とする半導体装置の製造方法。

【請求項21】 請求項17～19のうちいずれか1つに記載の半導体装置の製造方法において、

上記第4の工程では、シリコン窒化膜と酸化膜との積層膜を含むスペーサ膜を形成することを特徴とする半導体装置の製造方法。

【請求項22】 請求項17～19のうちいずれか1つに記載の半導体装置の製造方法において、

上記第4の工程では、オキシナイトライド膜を含むスペーサ膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2つの導体層とこれらで挟まれた容量絶縁膜とからなる容量部を備えた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来より、半導体素子中の2つの導体層とこの2つの導体層に挟まれる容量絶縁膜とからなる容量部を備えた半導体装置として、半導体基板、ゲート電極及びゲート絶縁膜からなる容量部を備えたMOSトランジスタをはじめとして、ストレージノード、セルプレート及び容量絶縁膜からなる記憶容量部を備えたダイナミックRAM(Random Access Memory)や、フローティングゲート、コントロールゲート及び容量絶縁膜からなる記憶容量部を備えたフローティングゲート型EEPROM(Electrically Erasable and Programmable Read Only Memory)、アナログ回路に配設される容量素子等がよく知られている。

【0003】図11は、従来のフローティングゲート型EEPROMの断面図である。同図に示すように、半導体基板101の上には、トンネル絶縁膜110、フローティングゲート電極111、容量絶縁膜112及びコントロールゲート電極113が設けられており、半導体基板101内には、上記フローティングゲート電極111

5

等に自己整合するソース領域108とドレイン領域109とが形成されている。ここで、フローティングゲート電極111、容量絶縁膜112及び制御ゲート電極113により容量結合部が構成されている。この容量結合部は、コントロール電極113に制御電圧を印加することにより、容量結合しているフローティングゲート電極111内における電子の注入、引き抜きを行なわせる機能を有するものである。

【0004】そして、通常、こうした容量絶縁膜を有する容量部を含む半導体装置においては、容量絶縁膜として、酸化シリコン膜の単層膜、誘電率の大きい窒化シリコン膜などが用いられる。また、図11に示す容量絶縁膜112には、窒化シリコン膜系の絶縁膜、例えば窒化シリコン膜-酸化シリコン膜の2層膜(ON膜)、酸化シリコン膜-窒化シリコン膜-酸化シリコン膜の3層膜(ONO膜)などがよく用いられている。さらに、特にMOSトランジスタなどにおいては、オキシナイトライド膜も用いられるようになってきている。

【0005】また、2つの導体層としては高融点の2つのポリシリコン膜が用いられるのが一般的である。例えば図11に示すEEPROMのフローティングゲート電極やコントロール電極113は、一般的には、ポリシリコン膜によって構成されている。

【0006】一方、近年、半導体集積回路の高集積化に伴い、上述のような容量部を含む半導体装置においても微細化、低電圧化の要求が高まりつつあり、最近では、代表的な寸法が0.5 μ m(ハーフミクロン)以下のサイズの容量部を有する半導体装置の要望が高まりつつある。したがって、図11に示す各ゲート電極111、112のゲート長も微細化される傾向にある。

【0007】

【発明が解決しようとする課題】しかしながら、ハーフミクロン以下のサイズの容量部を有する半導体装置において、静電容量部の上下の導体層の横方向の寸法や、フローティングゲート型半導体記憶装置のフローティングゲート電極やコントロールゲート電極の横方向の寸法を0.5 μ m以下にすると、例えば図11に示す容量絶縁膜112の膜厚が均一にならず、両端部で厚くなるという現象が生じやすい。このため、フローティングゲート電極111とコントロールゲート電極113との間の静電容量が小さくなり、本来のメモリー特性を発揮するのに必要な所定の容量値を確保することが困難になるという課題が生じてきた。こうした膜厚の不均一性は、次のような原因により生じると考えられる。

【0008】すなわち、通常、図11に示すフローティングゲート電極111、容量絶縁膜112及びコントロールゲート電極113をパターンニングにより形成した後、これらをマスクとして半導体基板101内に不純物イオンの注入を行なって、ソース領域108、ドレイン領域109を形成する。その際、不純物を活性化してキ

6

ャリアを生成するために800~1000℃の高温の酸化雰囲気中で熱処理を施すが、この熱処理を行なうことで、容量絶縁膜112の両端部の厚みが増大する現象が生じる。すなわち、ハーフミクロン以下のサイズになると、上下の導体層であるフローティングゲート電極111とコントロールゲート電極113とにより挟まれる容量絶縁膜112が、両側面から急激に酸化されるために、容量絶縁膜112の厚みが中心と周辺とで著しく異なってしまうのである。

10 【0009】なお、本発明者の検討によると、各電極111、113がポリシリコン膜により構成されている場合には、電極の寸法が0.4 μ m以下になると、急激に酸化が加速されることを見出した。これは、容量絶縁膜を挟むポリシリコン膜の増速酸化現象が関与しているものと思われる。

【0010】その結果、従来のフローティングゲート型半導体記憶装置においては、コントロールゲート電極113に印加される電圧の低電圧化に伴い、必要な容量結合比が確保できず、書き込み、消去スピード等の特性が劣化したり、十分な読み出し電流が確保できないといった問題を生じていた。また、その他の種類の半導体装置においても、容量部の容量値の劣化等に起因する特性上の問題が生じるおそれがある。

【0011】本発明は、斯かる点に鑑みてなされたものであり、その目的は、横寸法がハーフミクロン以下のサイズになっても容量絶縁膜の両端部における厚みの増大を抑制しうる手段を講ずることにより、容量絶縁膜の厚みのばらつきの小さい容量部を備えた半導体装置及びその製造方法を提供することにある。

30 【0012】

【課題を解決するための手段】上記目的を達成するために、本発明では、第1の半導体装置に関する手段と、第2の半導体装置に関する手段と、半導体装置の製造方法に関する手段とを備えている。

【0-0-13】本発明の第1の半導体装置は、半導体基板と、上記半導体基板上に設けられた第1の導体膜と、上記第1の導体膜の上に設けられ酸化性材料を含む誘電体膜と、上記誘電体膜の上に設けられた第2の導体膜と、上記第1の導体膜、誘電体膜及び第2の導体膜の側面を覆う酸化膜からなる第1のスペーサ膜と、上記第1のスペーサ膜を覆い酸素の通過阻止機能を有する第2のスペーサ膜とを備えている。

40 【0014】これにより、半導体装置が酸素雰囲気中で熱処理を受けても、酸素通過阻止機能を有する第2のスペーサ膜によって、誘電体膜の両端部やこれに隣接する第1、第2の導体膜への酸素の通過が抑制される。したがって、誘電体膜の両端部の厚みの増大が抑制され、第1の導体膜と第2の導体膜との間の容量の低下が抑制される。また、第2のスペーサ膜の絶縁機能が低い場合
50 でも、絶縁機能の高い酸化膜からなる第1のスペーサ膜

7

が設けられているので、第1の導体膜と第2の導体膜との間におけるリーク電流の発生を防止することができる。

【0015】上記第1の半導体装置において、上記半導体装置を、半導体基板上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたフローティングゲート電極と、上記フローティングゲート電極の上に設けられた容量絶縁膜と、上記容量絶縁膜の上に設けられたコントロールゲート電極とを備えた不揮発性半導体記憶装置とし、上記第1の導体膜を上記フローティングゲート電極とし、上記誘電体膜を上記容量絶縁膜とし、上記第2の導体膜を上記コントロールゲート電極とすることができる。

【0016】これにより、容量結合比の高い、つまり低電圧で作動でき、かつ書き込み、消去動作が高速のフローティングゲート型半導体記憶装置として機能する半導体装置が得られる。

【0017】上記第1の半導体装置において、上記第2の導体膜の上に設けられた導体部保護膜をさらに備え、上記第1のスペーサ膜を上記導体部保護膜の側面上まで延ばしておくことができる。

【0018】上記第1の半導体装置において、上記導体部保護膜を酸化膜により構成している場合には、上記第1のスペーサ膜の上端部を上記導体部保護膜の上面の高さ位置よりも低くすることが好ましい。

【0019】これにより、いずれも酸化膜で構成されている導体部保護膜と第1のスペーサ膜との接触面積をできるだけ低減できるので、半導体装置の酸化雰囲気中における熱処理工程において、導体部保護膜-第1のスペーサ膜を介して誘電体膜に供給される酸素量を抑制でき、誘電体膜の両端部の厚みの増大を抑制することができる。

【0020】上記第1の半導体装置において、上記導体部保護膜を、酸化膜からなる第1の導体部保護膜と、該第1の導体部保護膜の上に設けられ酸素の通過阻止機能を有する第2の導体部保護膜とにより構成した場合には、上記第1のスペーサ膜が上記第1の導体部保護膜及び第2の導体部保護膜の側面上まで延びていることがより好ましい。

【0021】これにより、いずれも酸化膜で構成されている第1の導体部保護膜と第1のスペーサ膜との接触面積が大きくても、酸化膜が表面に露出していないので、半導体装置の酸化雰囲気中における熱処理工程において、導体部保護膜-第1のスペーサ膜を介して誘電体膜に供給される酸素量をより確実に抑制でき、誘電体膜の両端部の厚みの増大を抑制することができる。

【0022】上記第1の半導体装置において、上記第2のスペーサ膜を、窒化シリコンを含む膜により構成することができる。

【0023】上記第1の半導体装置において、上記第

8

1、第2のスペーサ膜が、上記第1の導体膜、誘電体膜及び第2の導体膜全体の上面及び両側面を覆うように設けられていてもよい。

【0024】上記第1の半導体装置において、上記第2のスペーサ膜が、オキシナイトライドを含む膜であってもよい。

【0025】本発明の第2の半導体装置は、半導体基板と、上記半導体基板上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたフローティングゲート電極と、上記フローティングゲート電極の上に設けられた誘電体膜からなる容量絶縁膜と、上記容量絶縁膜の上に形成されたコントロールゲート電極と、上記フローティングゲート電極の側面上又は側面と表面上の一部に形成されたトンネル絶縁膜と、上記トンネル絶縁膜を挟んで上記フローティングゲート電極と対向する消去ゲート電極と、上記コントロールゲート電極及び容量絶縁膜の側面の上に設けられ酸素通過阻止機能を有するスペーサ膜とを備えている。

【0026】これにより、消去ゲート電極とフローティングゲート電極との間に介在する酸化膜からなるトンネル絶縁膜を形成する際に必要な酸化雰囲気中における熱処理において、容量絶縁膜の両端部がスペーサ膜によって覆われているので、容量絶縁膜の両端部における厚みの増大を抑制することができる。したがって、容量結合比の高い、つまり低電圧で書き込み、消去動作の高い消去ゲート電極付フローティングゲート型半導体記憶装置として機能する半導体装置が得られる。

【0027】上記第2の半導体装置において、上記スペーサ膜を、上記コントロールゲート電極及び誘電体膜の上に設けられた第1のスペーサ膜と、該第1のスペーサ膜の上に設けられた第2のスペーサ膜とにより構成した場合には、上記第1のスペーサ膜及び第2のスペーサ膜のうち少なくともいずれか一方が酸素通過阻止機能を有していればよい。

【0028】上記第2の半導体装置において、上記第1のスペーサ膜を酸化膜とした場合には、上記第2のスペーサ膜が酸素通過阻止機能を有する膜であればよい。

【0029】上記第2の半導体装置において、上記コントロールゲート電極の上に設けられた導体部保護膜をさらに備えている場合には、上記第1のスペーサ膜が上記導体部保護膜の側面上まで延びていることが好ましい。

【0030】上記第2の半導体装置において、上記導体部保護膜が酸化膜により構成されている場合には、上記第1のスペーサ膜の上端部が上記導体部保護膜の上面の高さ位置よりも低いことが好ましい。

【0031】上記第2の半導体装置において、上記導体部保護膜が、酸化膜からなる第1の導体部保護膜と、該第1の導体部保護膜の上に設けられ酸素の通過阻止機能を有する第2の導体部保護膜とにより構成されている場合には、上記第1のスペーサ膜が上記第1の導体部保護

膜及び第2の導体部保護膜の側面上まで延びていることが好ましい。

【0032】上記第2の半導体装置において、上記第2のスペーサ膜は、オキシナイトライドを含む膜であってもよい。

【0033】上記第2の半導体装置において、上記スペーサ膜は、上記コントロールゲート電極及び容量絶縁膜全体の上面及び側面を覆うように設けられていてもよい。

【0034】本発明の半導体装置の製造方法は、半導体基板上に第1の導体膜を形成する第1の工程と、上記第1の導体膜上に誘電体膜を形成する第2の工程と、上記誘電体膜上に第2の導体膜を形成する第3の工程と、少なくとも上記誘電体膜及び上記第2の導体膜の側面上に少なくとも窒化シリコンを含むスペーサ膜を形成する第4の工程とを備えている。

【0035】この方法により、第4の工程で、酸素通過阻止機能の高い窒化シリコンを含むスペーサ膜が形成されるので、誘電体膜の両端部における厚みの増大を抑制することが可能になる。

【0036】上記半導体装置の製造方法において、上記第1の工程の前に、半導体基板上にゲート絶縁膜を形成する工程をさらに備え、上記第1～第3の工程では、フローティングゲート電極用導体膜、容量絶縁膜用絶縁膜及びコントロールゲート電極用導体膜を順次積層した後、上記各膜をパターニングすることにより、上記第1の導体膜としてのフローティングゲート電極と、上記誘電体膜としての容量絶縁膜と、上記第2の導体膜としてのコントロールゲート電極とを形成し、上記第4の工程は、上記第3の工程の後で、上記コントロールゲート電極、容量絶縁膜及びフローティングゲート電極の側面上に上記スペーサ膜を形成することができる。

【0037】この方法により、第1の半導体装置が形成される。

【0038】また、上記半導体装置の製造方法において、上記第1の工程の前に、半導体基板上にゲート絶縁膜を形成する工程をさらに備え、上記第1及び第2の工程では、フローティングゲート電極用導体膜、容量絶縁膜用絶縁膜及びコントロールゲート電極用導体膜を順次積層した後、上記コントロールゲート電極用導体膜及び容量絶縁膜をパターニングすることにより、上記第2の導体膜としてのコントロールゲート電極と、上記誘電体膜としての容量絶縁膜とを形成し、上記第4の工程ではスペーサ膜を上記コントロールゲート電極及び容量絶縁膜の側面上に形成し、上記第3の工程では上記第4の工程の後に上記コントロールゲート電極及び容量絶縁膜をマスクとして上記フローティングゲート電極用導体膜をパターニングすることにより、側面が露出した上記第1の導体膜としてのフローティングゲート電極を形成し、上記第3の工程の後に、上記フローティングゲート電極

の露出している側面を熱酸化して酸化膜からなるトンネル絶縁膜を形成する工程と、上記トンネル絶縁膜を挟んで上記フローティングゲート電極に対向する消去ゲート電極を形成する工程とをさらに備えることができる。

【0039】この方法により、上記第2の半導体装置を形成することができる。

【0040】上記半導体装置の製造方法において、上記第4の工程では、シリコン窒化膜の単層膜からなるスペーサ膜を形成することができる。

10 【0041】上記半導体装置の製造方法において、上記第4の工程では、少なくともシリコン窒化膜と酸化膜との積層膜を含むスペーサ膜を形成することができる。

【0042】上記半導体装置の製造方法において、上記第4の工程では、オキシナイトライド膜を含むスペーサ膜を形成してもよい。

【0043】

【発明の実施の形態】

(第1の実施形態) まず、本発明の第1の実施形態に係るフローティングゲート型不揮発性半導体記憶装置につ

20 いて説明する。

【0044】図1に示すように、本実施形態に係る半導体記憶装置において、P型シリコン基板1の上には、厚みが約30nmのシリコン酸化膜からなるゲート絶縁膜10と、厚みが約300nmのポリシリコン膜からなるフローティングゲート電極11とが順次形成されている。ただし、ゲート絶縁膜10を厚みが10nm程度のシリコン酸化膜により構成して、トンネル絶縁膜としての機能を持たせてもよい。また、フローティングゲート電極11の上には、厚みが約25nmのシリコン酸化膜からなる容量絶縁膜12と、厚みが約400nmのポリシリコン膜からなるコントロールゲート電極13とが形成されている。また、シリコン基板1内には、シリコン基板1内に高濃度のN型不純物を導入して形成されたソース領域8とドレイン領域9とが設けられている。

【0045】そして、本実施形態に係る半導体記憶装置の特徴は、フローティングゲート電極11、容量絶縁膜12及びコントロールゲート電極13の側面に亘って形成された最大厚み（下端部における横方向の寸法）が約200nmのシリコン酸化膜からなる第1スペーサ膜14と、該第1スペーサ膜14の上に形成された最大厚み（下端部における横方向の寸法）が約100nmのシリコン窒化膜からなる第2スペーサ膜15とを備えている点である。ただし、図示しないが、基板上には層間絶縁膜及びその上の配線層などが設けられている。

【0046】本実施形態の半導体記憶装置によると、シリコン酸化膜を含んでいる容量絶縁膜12の側面上に、シリコン酸化膜からなる第1スペーサ膜14を介して耐酸化性のシリコン窒化膜からなる第2スペーサ膜15が設けられているので、半導体記憶装置の製造工程中にイ

50 オン注入された不純物の活性化などのための高温熱処理

が酸化雰囲気下で施されても、容量絶縁膜12やコントロールゲート電極13の両端部への酸素の供給が妨げられる。したがって、上記従来の半導体記憶装置のごとく容量絶縁膜12の両端部の厚みの増大が抑制され、容量絶縁膜12の静電容量が適正值に維持される。よって、フローティングゲート電極11、容量絶縁膜12及びコントロールゲート電極13からなる容量部において、コントロールゲート電極13とフローティングゲート電極11との容量結合比が適正範囲に維持され、低電圧化、ゲート長の微細化が進んだときにも、書き込み、消去の高速性や大きな読み出し電流などの必要な特性を良好に維持できる。

【0047】図3は、本実施形態に係るフローティングゲート型半導体記憶装置の容量結合比の低下率のゲート長依存性を従来の半導体記憶装置と比較した特性図である。ただし、横軸のゲート長とは、図1に示す断面におけるコントロールゲート電極13の横方向の寸法を示し、縦軸はフローティングゲート電極とコントロールゲート電極との間の容量結合比を示している。同図に示すように、従来の半導体記憶装置における容量部の容量結合比はゲート長が $0.5\mu\text{m}$ 以下になるとゲート長が短くなるのに応じて急激に低下していくのに対し、本実施形態に係る半導体記憶装置における容量部の容量結合比は、ゲート長が $0.4\mu\text{m}$ 以下になってもほとんど低下していない。すなわち、本発明によって、半導体記憶装置の微細化によってゲート長が短くなったときにも、コントロールゲート電極とフローティングゲート電極との間の容量結合比を適正範囲内に収めうることがわかる。

【0048】次に、本実施形態に係る半導体記憶装置の製造工程について、図2A～図2Dを参照しながら説明する。

【0049】まず、図2Aに示す工程で、シリコン基板1上に、厚みが約 30nm のシリコン酸化膜3と、厚みが約 100nm のシリコン窒化膜4とを順次形成し、この2つの膜をバターンニングして素子分離を形成しようとする領域に開口部を形成する。そして、この開口部に露出しているシリコン基板1を表面から酸化して、厚みが約 700nm のフィールド酸化膜2を形成する。

【0050】次に、図2Bに示す工程で、シリコン窒化膜4及びシリコン酸化膜3を除去した後、基板上に、厚みが約 30nm のシリコン酸化膜10xを熱酸化法により形成する。その後、シリコン酸化膜10xの上に、 $2\times 10^{20}\text{cm}^{-3}$ 程度のリンがドーブされた厚みが約 300nm のポリシリコン膜11xを気相成長法により形成する。その後、ポリシリコン膜11xを熱酸化して、容量絶縁膜となるシリコン酸化膜12xを形成する。そのとき、本実施形態では、 1000°C 、酸化雰囲気中で酸化して、膜厚を約 25nm としている。さらに、シリコン酸化膜12xの上に、約 $2\times 10^{20}\text{cm}^{-3}$ 程度のリンがドーブされた厚みが約 400nm のポリシリコン膜1

3xを気相成長法により形成する。

【0051】次に、図2Cに示す工程で、ポリシリコン膜13x、シリコン酸化膜12x、ポリシリコン膜11x及びシリコン酸化膜10xをバターンニングして、ゲート絶縁膜10、フローティングゲート電極11、容量絶縁膜12及びコントロールゲート電極13からなる電極ユニットを形成する。そして、この電極ユニット全体及びフィールド酸化膜2をマスクとして、砒素イオンを注入エネルギーが 50keV 、ドーズ量が $4\times 10^{15}\text{cm}^{-2}$ の条件でシリコン基板1内に注入し、電極ユニットに自己整合的するソース領域8及びドレイン領域9を形成する。

【0052】その後、気相成長法により基板上に厚みが 250nm 程度のシリコン酸化膜を堆積した後、異方性ドライエッチングを行なって、ゲート絶縁膜10、フローティングゲート電極11、容量絶縁膜12及びコントロールゲート電極13からなる電極ユニットの両側面上にシリコン酸化膜からなる第1スペーサ膜14を形成する。さらに、基板上に気相成長法により厚みが 150nm 程度のシリコン窒化膜を堆積した後、異方性ドライエッチングを行なって、第1スペーサ膜14の上に酸化防止用の第2スペーサ膜15を形成する。なお、シリコン窒化膜の形成は、例えばジクロロシラン(SiH_2Cl_2)とアンモニア(NH_3)との化学反応を利用した減圧気相成長法により、 750°C 下で、アンモニア(NH_3)とジクロロシラン(SiH_2Cl_2)との流量比を5として行なわれる。

【0053】次に、図2Dに示す工程で、気相成長法により、基板の全面上に厚みが 1000nm 程度のシリコン酸化膜からなる層間絶縁膜17を形成した後、ソース領域8及びドレイン領域9内の不純物の活性化と層間絶縁膜17を構成するシリコン酸化膜の緻密化のために、 1000°C の酸化雰囲気中で20分間の間熱処理を行なう。このとき、ゲート絶縁膜10、フローティングゲート電極11、容量絶縁膜12及びコントロールゲート電極13からなる電極ユニットの両側面上には、シリコン酸化膜からなる第1スペーサ膜14を介してシリコン窒化膜からなる第2スペーサ膜15が形成されているので、容量絶縁膜12を構成するシリコン酸化膜や、各ゲート電極11、13を構成するポリシリコン膜への酸素の供給が阻止される。よって、容量絶縁膜12の両端部の厚みが中央部に比べて厚くなる現象は生じない。

【0054】その後、層間絶縁膜17に、ソース領域8、ドレイン領域9に到達するコンタクトホールや、コントロールゲート電極13に到達するコンタクトホール(図示せず)を形成した後、アルミニウム合金膜を基板上に堆積し、これをバターンニングすることにより、アルミニウム電極18を形成する。

【0055】以上の製造工程によって、図1に示すフローティングゲート型半導体記憶装置が形成される。

13

【0056】次に、上記第1の実施形態におけるフローティングゲート型半導体記憶装置において、以下のような変形形態も可能である。

【0057】図4は、上記第1の実施形態におけるフローティングゲート型半導体記憶装置において、ゲート絶縁膜10の一部を部分的にエッチングして例えば厚みが10nm程度のトンネル絶縁膜16とした半導体記憶装置の断面図である。

【0058】また、上記第1の実施形態に係るフローティングゲート型半導体記憶装置は、ソース領域8、ドレイン領域9に挟まれたチャネル領域上の全面にフローティングゲート電極を形成してなるスタックゲート構造を有しているが、ソース領域8、ドレイン領域9に挟まれたチャネル領域上の一部のみフローティングゲート電極を形成したスプリットゲート構造について、本発明のスペーサ膜を設けた構造を適用することも可能である。

【0059】(第2の実施形態) 次に、第2の実施形態に係る消去ゲート付のフローティングゲート型半導体記憶装置について説明する。

【0060】図5は、第2の実施形態に係る半導体記憶装置の断面図である。ただし、図5は、ゲート長方向に直交する断面における構造を示している。図5には、1対のセルと、各セルに共通に使用される消去ゲート電極26とが図示されているが、まず、1対のセルのうちの1つのセルの構造について説明する。

【0061】図5に示すように、P型シリコン基板1の上は、シリコン酸化膜30、31からなる素子分離絶縁膜により分離された活性領域が設けられており、この各活性領域の上に、厚みが約30nmのシリコン酸化膜からなるゲート絶縁膜20と、厚みが約400nmのポリシリコン膜からなるフローティングゲート電極21とが順次形成されている。また、フローティングゲート電極21の上には、厚みが約25nmのシリコン酸化膜からなる容量絶縁膜22と、厚みが約400nmのポリシリコン膜からなるコントロールゲート電極23と、厚みが約300nmのシリコン酸化膜からなるゲート上絶縁膜24とが形成されている。また、フローティングゲート電極21の側面上には、ポリシリコン膜の側面付近の領域を酸化して形成された厚みが約35nmのシリコン酸化膜からなるトンネル絶縁膜25が設けられている。また、フローティングゲート電極21、容量絶縁膜22及びコントロールゲート電極23の側面に亘って形成された最大厚み(下端部における横方向の寸法)が約200nmのシリコン酸化膜からなる第1スペーサ膜27と、該第1スペーサ膜27の上に形成された最大厚み(下端部における横方向の寸法)が約100nmのシリコン酸化膜からなる第2スペーサ膜28とが設けられている。

【0062】さらに、上記1対のセル間の領域となるシリコン酸化膜30の上には、1対のセルで共有される消去ゲート電極26が設けられている。この消去ゲート電

14

極26は、厚みが約400nmのポリシリコン膜により構成され、容量絶縁膜22、コントロールゲート電極23及びゲート上絶縁膜24とは第1、第2スペーサ膜27、28を挟んで対向し、フローティングゲート電極21とはトンネル絶縁膜25を挟んで対向している。

【0063】なお、シリコン基板1内には、図5に示す断面には示されていないが、シリコン基板1内に高濃度のN型不純物を導入して形成されたソース領域とドレイン領域とが設けられている。

10 【0064】本実施形態の半導体記憶装置によると、シリコン酸化膜を含んでいる容量絶縁膜22の側面上に、シリコン酸化膜からなる第1スペーサ膜27を介して耐酸化性のシリコン酸化膜からなる第2スペーサ膜28が設けられているので、フローティングゲート電極21を構成するポリシリコン膜を酸化してトンネル絶縁膜25を形成する高温酸化工程(通常、900-1000℃下で行なわれる)において、コントロールゲート電極23を構成するポリシリコン膜の両端部の酸化を防止することができ、容量絶縁膜22の両端部の膜厚の増大を抑制

20 することができる。

【0065】したがって、上記従来の半導体記憶装置のごとく容量絶縁膜22の両端部の厚みが大きく増大することはなく、容量絶縁膜22の静電容量が適正值に維持される。よって、フローティングゲート電極21、容量絶縁膜22及びコントロールゲート電極23からなる容量部において、コントロールゲート電極23とフローティングゲート電極21との容量結合比が適正範囲に維持され、低電圧化、ゲート長の微細化が進んだときにも、書き込み、消去の高速性や、大きな読み出し電流などの

30 必要な特性を良好に維持できる。

【0066】次に、本実施形態に係る半導体記憶装置の製造工程について、図6A~図6C及び図7A、図7Bを参照しながら説明する。

【0067】まず、図6Aに示す工程で、シリコン基板1上に、活性領域を分離する厚みが約30nmのシリコン酸化膜30とその側面上のシリコン酸化膜31とを形成した後、活性領域上に、厚みが約30nmのシリコン酸化膜からなるゲート絶縁膜20を熱酸化法により形成する。その後、基板上に、 $2 \times 10^{20} \text{ cm}^{-3}$ 程度のリン40 がドーブされた厚みが約300nmのポリシリコン膜21xを気相成長法により形成する。その後、ポリシリコン膜21xを熱酸化して、容量絶縁膜となるシリコン酸化膜22xを形成する。そのとき、本実施形態では、1000℃、酸化雰囲気中で酸化して、膜厚を約25nmとしている。さらに、シリコン酸化膜22xの上に、約 $2 \times 10^{20} \text{ cm}^{-3}$ 程度のリンがドーブされた厚みが約400nmのポリシリコン膜23xと、厚みが約300nmのシリコン酸化膜24xとを気相成長法により順次形成する。

50 【0068】次に、図6Bに示す工程で、シリコン酸化

15

膜 24x, ポリシリコン膜 23x 及びシリコン酸化膜 22x をパターニングして、容量絶縁膜 22, コントロールゲート電極 23 及びゲート上絶縁膜 24 を形成する。その後、気相成長法により基板上に厚みが 250 nm 程度のシリコン酸化膜を堆積した後、異方性ドライエッチングを行なって、容量絶縁膜 22, コントロールゲート電極 23 及びゲート上絶縁膜 24 の両側面上にシリコン酸化膜からなる第 1 スペース膜 27 を形成する。さらに、基板上に気相成長法により厚みが 150 nm 程度のシリコン窒化膜を堆積した後、異方性ドライエッチングを行なって、第 1 スペース膜 27 の上に酸化防止用の第 2 スペース膜 28 を形成する。

【0069】次に、図 6C に示す工程で、スペース膜 28 を含む電極ユニットをマスクとしてエッチングを行ない、ポリシリコン膜 21x をパターニングして、フローティングゲート電極 21 を形成する。この時点で、フローティングゲート電極 21 の側面は第 2 スペース膜 28 の側面に自己整合して露出した状態となっている。

【0070】次に、図 7A に示す工程で、露出しているフローティングゲート電極 21 の側面を 900℃ の水蒸気雰囲気中で熱酸化して、厚みが約 3.0 nm のシリコン酸化膜からなるトンネリング絶縁膜 25 を形成する。このとき、シリコン窒化膜からなる第 2 スペース膜 28 が形成されているので、上記第 1 の実施形態と同様の作用により、容量絶縁膜 22 の両端部の膜厚の増大が抑制される。

【0071】次に、図 7B に示す工程で、基板の全面上に厚みが約 400 nm のポリシリコン膜を気相成長法により形成し、その後、フォトリソ技術を用いて、そのポリシリコン膜をパターニングすることにより、トンネリング絶縁膜 25 を覆う消去ゲート電極 26 を形成する。

【0072】なお、その後、活性領域のシリコン基板内に不純物イオンの注入が行なわれて、ソース領域、ドレイン領域が形成されるが、ソース領域及びドレイン領域は図 7A, 7B に示す断面には現れないので、説明を省略する。

【0073】また、層間絶縁膜、金属配線、保護膜、ボンディングパッドの形成のための工程が行なわれるが、これらは周知技術で実施でき、本発明とは関係がないので、説明を省略する。

【0074】(その他の実施形態) 次に、本発明の第 1 の導体部及び第 2 の導体部と各導体部間に挟まれる絶縁膜とにより構成される容量部の構造に関し、上記第 1, 第 2 の実施形態とは異なる他の実施形態について説明する。

【0075】図 8 は、ポリシリコン膜等で構成される第 1 の導体部 51 の上に、シリコン酸化膜等で構成される容量絶縁膜 52 と、ポリシリコン膜等で構成される第 2 の導体膜 53 と、シリコン酸化膜等で構成されるゲート

16

上絶縁膜 54 とを備えている。そして、容量絶縁膜 52, 第 2 の導体膜 53 及びゲート上絶縁膜 54 の側面上に、第 1 のスペース膜 55 と第 2 のスペース膜 56 とが形成されている。この電極ユニットの構造は、上記第 2 の実施形態の構造と同じであるが、上記第 1 の実施形態のごとく、第 1 の導体膜 51 が容量絶縁膜 52, 第 2 の導体膜 53 等と同じ平面形状を有するようにパターニングされていて第 1, 第 2 のスペース膜 55, 56 が第 1 の導体膜 51 の側面上に延びていてもよい。

10 【0076】ここで、上記第 2 の実施形態の構造とは異なり、図 8 に示す第 1 のスペース膜 55 の上端部は、ゲート上絶縁膜 54 の上面よりも下方に位置している。このような構造は、第 1 のスペース膜 55 を形成するためのシリコン酸化膜などを堆積して異方性エッチングを行う際に、オーバーエッチングすることにより容易に実現できる。そして、このように第 1 のスペース膜 55 の上端を低くすることにより、第 1 のスペース膜 55 とゲート上絶縁膜 54 との接触面積が小さくなる。したがって、ゲート上絶縁膜 54 及び第 1 のスペース膜 55 がい
20 ずれもシリコン酸化膜で構成されている場合でも、酸化雰囲気下における熱処理工程で、酸素がシリコン酸化膜を通過して容量絶縁膜 52 の両端部付近に達するのをより確実に阻止することができるという利点がある。ただし、上記第 2 の実施形態においても、ゲート上絶縁膜 54 と第 1 スペース膜 55 との接触部を通して容量絶縁膜 52 の両端部に達するには、長く細い経路を通過して
30 くる必要があるため、それ程多くの酸素が容量絶縁膜 52 の両端部（及びこの両端部に接する第 1 導体膜 51 及び第 2 導体膜 53 の部分）に達するわけではない。したがって、上記第 2 の実施形態のような電極ユニットの構成であっても、容量絶縁膜 52 の両端部の厚みの増大を抑制する効果はある。

【0077】なお、図 8 の点線で示すように、第 1 スペース膜 55 の上端が第 2 導体膜 53 の上面と同じ位置になるまでシリコン酸化膜をオーバーエッチングすることにより、酸素の供給を確実に阻止することができる。したがって、より確実に容量絶縁膜 52 の両端部の厚みの増大を防止することができ、特に、ゲート長の微細化がさらに進行したときにその効果が大きい。

40 【0078】図 9 は、ゲート上絶縁膜 54 の上に、さらにシリコン窒化膜等の酸素通過阻止機能の高い絶縁膜からなる酸化防止膜 57 を形成した容量部の構造を示す断面図である。この場合には、第 1 スペース膜 55 を形成するためのシリコン酸化膜等の異方性エッチングを行なう際に、オーバーエッチングしなくても、容量絶縁膜 52 の両端部付近への酸素の通過をより確実に防止することができる。したがって、オーバーエッチングに伴う下地の損傷をより確実に防止することができるという利点がある。

50 【0079】図 10 は、ゲート上絶縁膜 54 からゲート

17

上絶縁膜 54、第2導体膜 53及び容量絶縁膜 52の側面を覆うシリコン窒化膜等の酸化防止膜 58を設けた容量部の構造を示す断面図である。この場合にも、簡素な構成で、容量絶縁膜 52の両端部付近への酸素の通過を確実に阻止することができ、容量絶縁膜 52の両端部の厚みの増大を防止することができる。

【0080】なお、上記各実施形態において、容量絶縁膜としてシリコン酸化膜を用いたが、本発明における容量部の絶縁膜はこれに限定されるものではない。例えば、窒化シリコン膜系の絶縁膜、例えば窒化シリコン膜-酸化シリコン膜の2層膜(ON膜)、酸化シリコン膜-窒化シリコン膜-酸化シリコン膜の3層膜(ONO膜)などを用いてもよい。さらに、オキシナイトライド膜を用いてもよい。

【0081】また、本発明のスペーサ膜としては、基本的には酸素の通過を阻止する機能を有するものであれば、どのような膜であってもよい。ただし、各導体膜間や、導体膜と基板との間の電気的な接続を回避するためには絶縁性材料からなる膜であることが好ましい。したがって、スペーサ膜としては、上記各実施形態におけるシリコン酸化膜(第1スペーサ膜)とシリコン窒化膜

(第2スペーサ膜)との積層膜のほか、図10に示す窒化シリコン膜の単層膜や、シリコン酸化膜-シリコン窒化膜-シリコン酸化膜の3層の積層膜、オキシナイトライド膜などの窒化シリコンを含む絶縁膜を用いることができる。また、上記各実施形態における第1スペーサ膜をシリコン窒化膜で構成し、第2スペーサ膜をシリコン酸化膜で構成してもよい。

【0082】ただし、シリコン窒化膜はシリコン酸化膜に比べ、リーク電流が大きくなる傾向があるので、電極と接する直接接する部材にはシリコン酸化膜を用いることが好ましい。

【0083】

【発明の効果】本発明の第1の半導体装置によれば、半導体基板上に、第1の導体膜と酸化性材料を含む誘電体膜と第2の導体膜を積層するとともに、第1の導体膜、誘電体膜及び第2の導体膜の側面を覆う酸化膜からなる第1のスペーサ膜と酸化膜を覆い酸素の通過阻止機能を有する第2のスペーサ膜とを設けたので、酸素雰囲気中での熱処理を受けても、酸素通過阻止機能を有する第2のスペーサ膜によって、誘電体膜の両端部やこれに隣接する第1、第2の導体膜への酸素の通過が抑制されることにより、誘電体膜の両端部の厚みの増大に起因する容量の低下を抑制することができる。

【0084】本発明の第2の半導体装置によれば、半導体基板上に、ゲート絶縁膜とフローティングゲート電極と誘電体膜からなる容量絶縁膜とコントロールゲート電極とを積層するとともに、フローティングゲート電極の側面上にトンネル絶縁膜と、トンネル絶縁膜を挟んでフローティングゲート電極と対向する消去ゲート電極と、

18

コントロールゲート電極及び容量絶縁膜の側面の上に設けられ酸素通過阻止機能を有するスペーサ膜とを設けたので、消去ゲート電極とフローティングゲート電極との間に介在する酸化膜からなるトンネル絶縁膜を形成する際に必要な酸化雰囲気中における熱処理において、容量絶縁膜の両端部がスペーサ膜によって覆われていることにより、容量絶縁膜の両端部における厚みの増大を抑制することができ、コントロールゲート電極-フローティングゲート電極間の容量結合比の高い、書き込み・消去等の動作速度の高いフローティングゲート型半導体記憶装置の提供を図ることができる。

【0085】本発明の半導体装置の製造方法によれば、半導体基板上に第1の導体膜を形成する工程と、第1の導体膜上に誘電体膜を形成する工程と、誘電体膜上に第2の導体膜を形成する工程と、誘電体膜及び第2の導体膜の側面上に少なくとも窒化シリコンを含むスペーサ膜を形成する工程とを備えるようにしたので、この方法により、第4の工程で、酸素通過阻止機能の高い窒化シリコンを含むスペーサ膜が形成されるので、誘電体膜の両端部における厚みの増大を抑制することが可能になる。

【図面の簡単な説明】

【図1】第1の実施形態に係るフローティングゲート型半導体記憶装置として機能する半導体装置の断面図である。

【図2】第1の実施形態に係る半導体記憶装置の製造工程を示す断面図である。

【図3】第1の実施形態に係る記憶半導体装置と従来の半導体記憶装置とにおける容量結合比のゲート長依存性を示す特性図である。

【図4】トンネル絶縁膜付きフローティングゲート型半導体記憶装置として機能する第1の変形形態に係る半導体記憶装置の断面図である。

【図5】第2の実施形態に係る消去ゲート電極付フローティングゲート型半導体記憶装置の断面図である。

【図6】第2の実施形態に係る半導体記憶装置の製造工程のうちフローティングゲート電極形成工程までの工程を示す断面図である。

【図7】第2の実施形態に係る半導体記憶装置の製造工程のうちフローティングゲート電極の側面の熱酸化工程以降の工程を示す断面図である。

【図8】シリコン酸化膜からなるゲート上絶縁膜と、オーバーエッチングにより形成された第1のスペーサ膜とを有するその他の実施形態に係る半導体記憶装置の断面図である。

【図9】シリコン酸化膜及びその上のシリコン窒化膜からなるゲート上絶縁膜と、オーバーエッチングされていない第1のスペーサ膜とを有するその他の実施形態に係る半導体記憶装置の断面図である。

【図10】シリコン酸化膜からなるゲート上絶縁膜と、電極ユニット全体を覆うシリコン窒化膜とを有するその

19

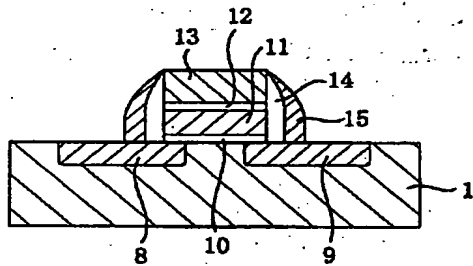
他の実施形態に係る半導体記憶装置の断面図である。

【図 11】従来のフローティングゲート型半導体記憶装置の断面図である。

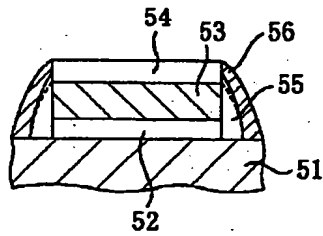
【符号の説明】

- 7 シリコン基板
- 8 ソース領域
- 9 ドレイン領域
- 10 ゲート絶縁膜
- 11 フローティングゲート電極
- 12 容量絶縁膜
- 13 コントロールゲート電極
- 14 第1スペーサ膜
- 15 第2スペーサ膜

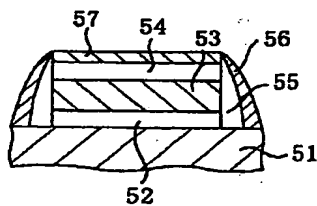
【図 1】



【図 8】



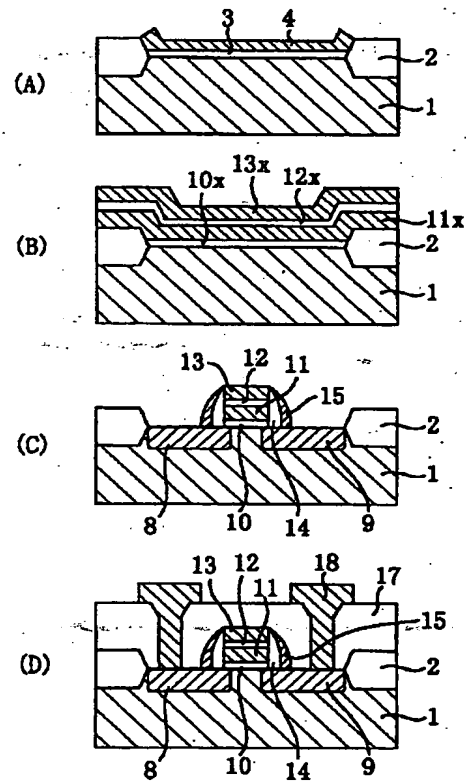
【図 9】



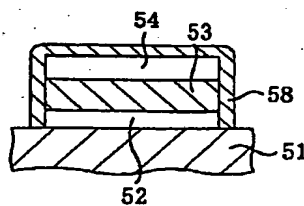
20

- 16 トンネル絶縁膜
- 17 層間絶縁膜
- 18 アルミニウム電極
- 20 ゲート絶縁膜
- 21 フローティングゲート電極
- 22 容量絶縁膜
- 23 コントロールゲート電極
- 24 ゲート上絶縁膜
- 25 トンネル絶縁膜
- 10 26 消去ゲート電極
- 27 第1スペーサ膜
- 28 第2スペーサ膜

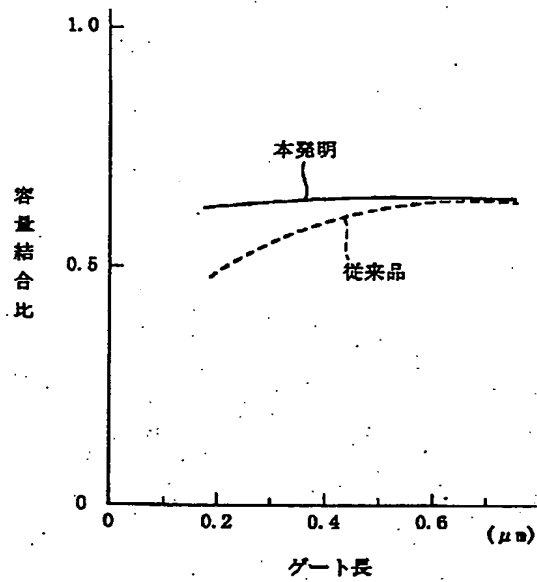
【図 2】



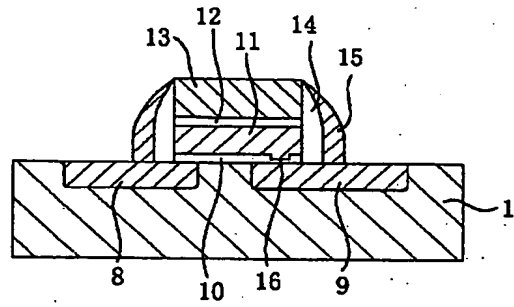
【図 10】



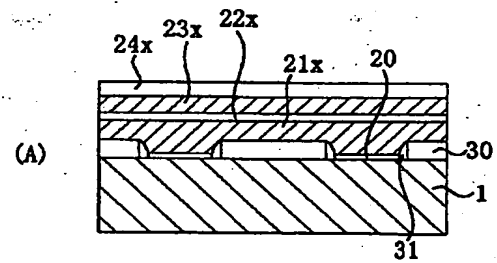
【図 3】



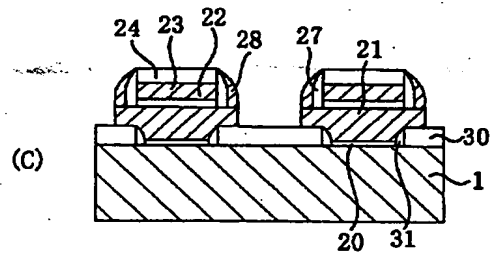
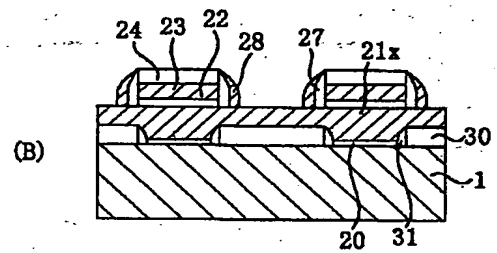
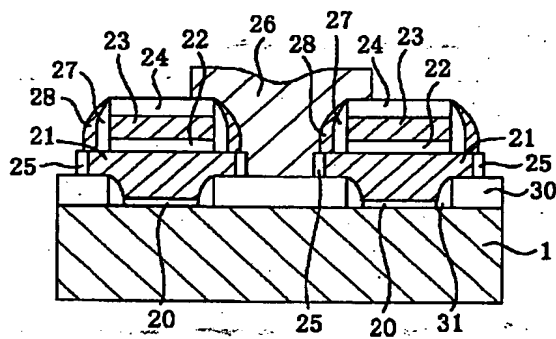
【図 4】



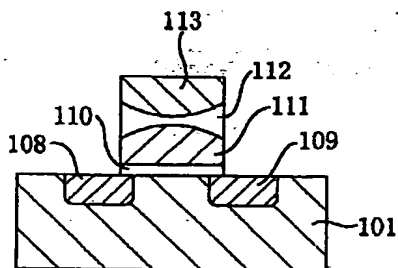
【図 6】



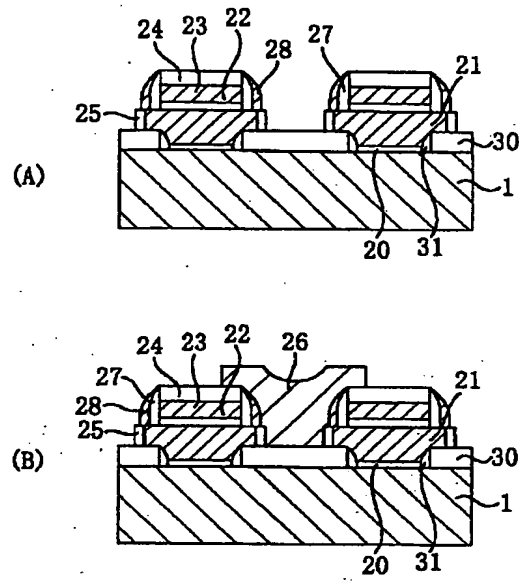
【図 5】



【図 11】



【図 7】



フロントページの続き

(51) Int. Cl. 6
H01L 27/115
29/78

識別記号

F I